

(19) 

(11) Publication number: 01163849 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 62323360

(51) Intl. Cl.: G06F 12/00 G11C 7/00

(22) Application date: 21.12.87

(30) Priority:

(43) Date of application
publication: 28.06.89(84) Designated
contracting states:(71) Applicant: HITACHI MICRO COMPUT ENG
LTD

(72) Inventor: NAKAGAWA TAKAAKI

(74) Representative:

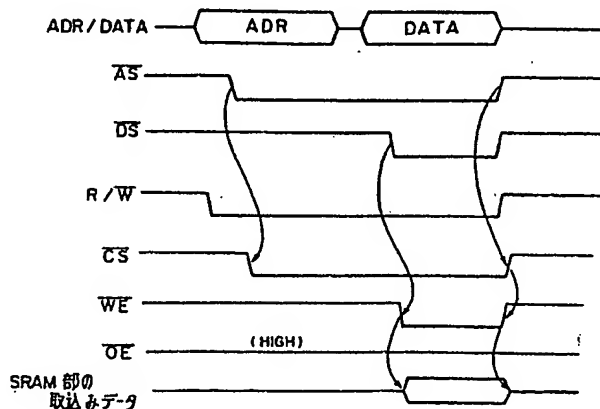
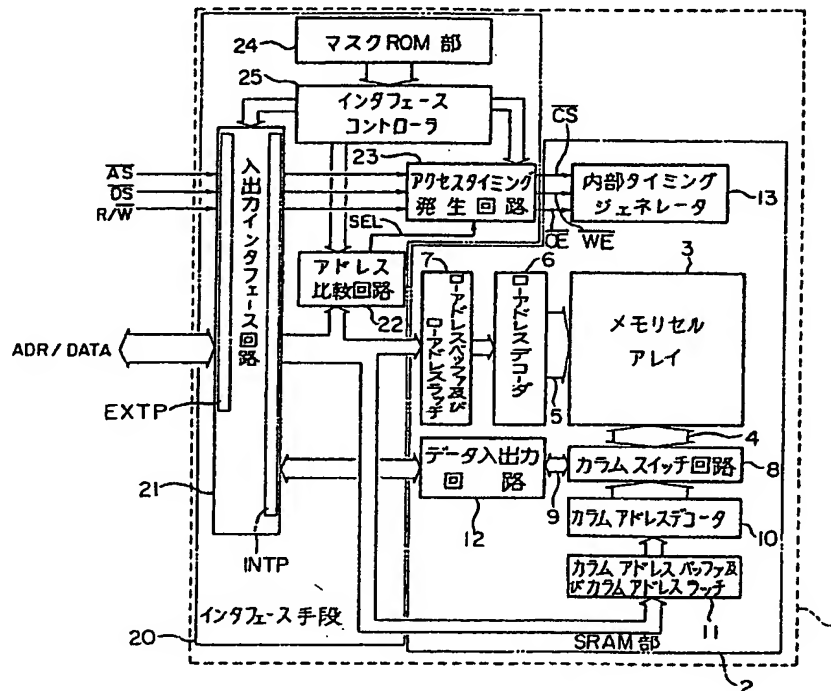
(54) SEMICONDUCTOR
INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To curtail a special interface circuit as an external circuit by making an interface means built-in which generates an internal access timing while carrying out the interface between an internal part and a microprocessor according to control information.

CONSTITUTION: The control information corresponding to the types of a processor to be interfaced or the linking condition of the processor are set beforehand to a mask ROM 24. An interface means 20 directly linked to the microprocessor exchanges the information between the processor and a SRAM part 2 to be an internal data storing means, and generates the access timing based on the control information. Consequently, an external special access timing generating circuit is unnecessary to be provided, and further, when address information corresponding to a chip selecting condition is included in the control information, an external address decoder is unnecessary to be formed. Thus, the external circuit necessary for the interface between the processor can be curtailed.

COPYRIGHT: (C)
1989, JPO & Japio



Our Comment: The Examiner seems to think as follows. The mask ROM 24 corresponds to the register in present Claim 1. Access timing signals, which are generated based on the contents of the ROM 24, involve naturally time delay. It is explained that an EEPROM may be used in place of the mask ROM 24.

⑫ 公開特許公報(A)

平1-163849

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)6月28日

G 06 F 12/00
G 11 C 7/003 0 3
3 1 3P-8841-5B
7341-5B

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭62-323360

⑰ 出 願 昭62(1987)12月21日

⑱ 発 明 者 中 川 孝 明 東京都小平市上水本町1479番地 日立マイクロコンピュー
タエンジニアリング株式会社内

⑲ 出 願 人 日立マイクロコンピュ
ータエンジニアリング
株式会社 東京都小平市上水本町1479番地

⑳ 代 理 人 弁理士 玉村 静世

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

1. プロセッサの制御に基づいてアクセスされるデータ格納手段を内蔵する半導体集積回路において、プロセッサと直接インタフェースを行うインタフェース手段が上記データ格納手段と同一半導体基板上に形成され、このインタフェース手段は、プロセッサとの間でインタフェースされる情報を特定するための制御情報を保持する制御記憶手段を備え、この制御記憶手段に設定されている制御情報に基づいて外部のプロセッサと内部のデータ格納手段との間で情報のやりとりを行うと共にデータ格納手段のためのアクセスタイミングを生成するようにされて成るものであることを特徴とする半導体集積回路。

2. 上記インタフェース手段は、プロセッサに直接結合される入出力手段と、この入出力手段を介してプロセッサから供給される情報に基づい

て内部アクセスタイミングを生成するアクセスタイミング生成手段と、上記制御記憶手段から出力される制御情報を受けて、入出力手段による信号の振り分け制御を行うと共に、アクセスタイミング生成手段によるタイミング生成論理を制御する制御手段とを含んで成るものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路。

3. 上記制御記憶手段は、マスクROMによって構成されるものであることを特徴とする特許請求の範囲第1項又は第2項記載の半導体集積回路。

4. 上記データ格納手段は、半導体記憶装置であることを特徴とする特許請求の範囲第1項乃至第3項の何れか1項に記載の半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、プロセッサの制御に基づいてアクセスされるデータ格納手段を内蔵する半導体集積回

路さらには当該データ格納手段とプロセッサとのインタフェース技術に関し、例えばプロセッサと半導体記憶装置との直接インタフェースに利用して有効な技術に関するものである。

〔従来技術〕

半導体記憶装置はそれ固有のアクセスタイミング規定を有し、このタイミング規定に従って外部タイミング信号が供給されることによりアクセス可能に構成されている。一方、半導体記憶装置をアクセス制御するプロセッサの各種制御信号はプロセッサの種類に応じて異なると共に、その他周辺回路の制御にも利用されるため、プロセッサの出力制御信号は半導体記憶装置のための制御信号として直接供給して利用することができない場合が殆どである。このため、半導体記憶装置などを含めてシステム構成する場合には、プロセッサの出力制御信号に基づいて半導体記憶装置のための外部タイミング信号を形成するような外部回路としてのアクセスタイミング発生回路を個々の半導体記憶装置のタイミング規定に従って設けておか

なければならない。

また、半導体記憶装置を含むシステムにおいてプロセッサが管理するアドレス空間には通常複数の半導体記憶装置やレジスタさらには入出力回路などがマッピングされるため、プロセッサによるアクセス対象デバイスを選択するためのアドレスデコーダが必要とされる。

なお、半導体記憶装置とプロセッサとのインタフェースについて記載された文献の例としては1987年4月CQ出版社発行の「トランジスタ技術」P382乃至P389がある。

〔発明が解決しようとする問題点〕

しかしながら、半導体記憶装置などをプロセッサとインタフェースする場合に、アクセスタイミング発生回路やアドレスデコーダが外部回路として必要になると、システム上TTLなどによって形成されるそのようなインタフェース回路の増大が余儀なくされ、それらによる占有面積の増大や実装効率の低下を引き起こすという問題点があった。

本発明の目的は、プロセッサとのインタフェースに必要とされる外部回路を削減することができる半導体集積回路を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、プロセッサの制御に基づいてアクセスされる半導体記憶装置のようなデータ格納手段を内蔵し、このデータ格納手段のために、プロセッサと直接インタフェースを行うインタフェース手段が上記データ格納手段と同一半導体基板上に形成され、このインタフェース手段は、プロセッサとの間でインタフェースされる情報を特定するための制御情報を保持するマスクROMのような制御記憶手段を備え、この制御記憶手段に設定されている制御情報に基づいて外部のプロセッサと内部のデータ格納手段との間で情報のやりとりを行

うと共にデータ格納手段のためのアクセスタイミングを生成するようにされて成るものである。

〔作用〕

上記した手段によれば、制御記憶手段にはインタフェースされるべきプロセッサの種類やプロセッサと結合すべき状態に応じた制御情報が予め設定され、マイクロプロセッサに直接結合されたインタフェース手段はその制御情報に基づいてプロセッサと内部のデータ格納手段との間で情報の交換やアクセスタイミングの生成を行うことにより、外部に特別なアクセスタイミング発生回路を設ける必要はなく、更に上記制御情報にチップ選択状態に対応するアドレス情報が含まれる場合には外部にアドレスデコーダを形成する必要もなく、これにより、プロセッサとのインタフェースに必要とされる外部回路の削減を達成するものである。

〔実施例〕

第1図は本発明の一実施例であるメモリLSIのブロック図である。

第1図に示されたメモリLSIは公知の半導体

集積回路製造技術によって1つの半導体基板1に形成され、特に制限されないが、図示しないプロセッサによってアクセスされるデータ格納手段としてSRAM(スタティック・ランダム・アクセス・メモリ)部2を備える。このメモリLSIにおいて、SRAM部2以外の機能ブロックは図示しないプロセッサと直接インタフェースを行うインタフェース手段20を構成する。

上記SRAM部2は、スタティック型メモリセルを複数個マトリクス配置して成るメモリセルアレイ3を有する。図示しないメモリセルは、各列毎に夫々のデータ入出力端子がビット線対4に結合され、各行毎に夫々の選択端子がワード線5に結合されている。

上記ワード線5の選択はローアドレスデコーダ6が行う。このローアドレスデコーダ6は、ローアドレスバッファ及びローアドレスラッチ7から供給されるアドレス信号を解読してそれに対応する所定1本のワード線を選択レベルに駆動する。

上記各ビット線対4は、カラムスイッチ回路8

を介して共通データ線対9に共通接続される。このカラムスイッチ回路8には所定のビット線対を選択的に共通データ線対9に導通にするための図示しないスイッチ素子が含まれ、これらスイッチ素子は、カラムアドレスデコーダ10から出力される選択信号によってスイッチ制御される。このカラムアドレスデコーダ10にはカラムアドレスバッファ及びカラムアドレスラッチ11からアドレス信号が供給される。

上記共通データ線対9はデータ入出力バッファ及びセンスアンプを含むデータ入出力回路12に結合される。

SRAM部2全体の内部タイミング制御は内部タイミングジェネレータ13が行う。この内部タイミングジェネレータ13は、制御信号としてチップ・セレクト信号CS、ライト・イネーブル信号WE、アウトプット・イネーブル信号OEが供給される。上記チップ・セレクト信号CSはそのローレベルによりSRAM部2のチップ選択状態を指示する。ライト・イネーブル信号WEはそのロ

ーレベルによりメモリ・ライト動作を指示する。アウトプット・イネーブル信号OEはそのローレベルによりメモリ・リード動作を指示する。

SRAM部2は、上記チップ・セレクト信号CSのアサート期間がアクセスサイクルとされ、内部タイミングジェネレータ13はチップ・セレクト信号CSがアサートされると、その内部制御手順に従って各部の動作制御を行う。即ち、アドレス信号がローアドレスバッファ及びローアドレスラッチ7とカラムアドレスバッファ及びカラムアドレスラッチ11に取り込まれると共に、取り込まれたアドレス信号をローアドレスデコーダ6及びカラムアドレスデコーダ10がデコードして、入力アドレス信号に対応するメモリセルが共通データ線対9に導通にされ、メモリ・リード/メモリ・ライト動作指示に従って、メモリセルデータがデータ入出力回路12から出力され、又はデータ入出力回路12から供給されたデータが上記アドレス信号されたメモリセルに書き込まれる。

上記インタフェース手段20は、図示しないプ

ロセッサとSRAM部2との間で各種情報のやりとりを行うと共にSRAM部2のためのアクセスタイミング信号として上記チップ・セレクト信号CS、ライト・イネーブル信号WE、及びアウトプット・イネーブル信号OEを形成する。

即ち、このインタフェース手段20は、特に制限されないが、図示しないプロセッサに直接結合される入出力インタフェース回路21と、この入出力インタフェース回路21を介して図示しないプロセッサから供給されるアドレス信号ADRに応じて更に詳しくはそれに含まれる所定の複数ビットに応じて選択信号SELを形成するアドレス比較回路22と、入出力インタフェース回路21を介して図示しないプロセッサから供給される制御信号及び上記選択信号SELに基づいて上記チップ・セレクト信号CS、ライト・イネーブル信号WE、及びアウトプット・イネーブル信号OEを形成するアクセスタイミング発生回路23と、図示しないプロセッサとの間でインタフェースされる情報を特定するための制御情報を保持する制

御記憶手段としてのマスクROM(リード・オンリ・メモリ)部24と、このマスクROM部24に設定されている制御情報に基づいて上記入出力インタフェース回路21、アドレス比較回路22、及びアクセスタイミング発生回路23の動作を制御するインタフェースコントローラ25によって構成される。

上記入出力インタフェース回路21は図示しないマイクロプロセッサに結合される複数の外部端子EXTPと、上記ローアドレスバッファ及びローアドレスラッチ7、カラムアドレスバッファ及びカラムアドレスラッチ11、データ入出力回路12、アドレス比較回路22、及びアクセスタイミング発生回路23に夫々結合される複数の内部端子INTPとを備えるが、個々の外部端子EXTPと内部端子INTPとの接続態様は上記制御情報に従ったインタフェースコントローラ25の制御によって決定される。特に入出力インタフェース回路21は、アドレス信号ADRとデータDATAとを同一端子から時分割で出力するプロセ

ッサとのインタフェースをも考慮し、同一外部端子EXTPから供給されるアドレス信号ADRとデータDATAとをマルチプレクスして内部に取り込むための図示しないマルチプレクサを内蔵する。

上記マスクROM部24には本実施例のメモリLSIをアクセス制御するプロセッサに応じた制御情報が組み込まれる。

この制御情報は、特に制限されないが、図示しないプロセッサに結合される外部端子EXTP及びその端子を介してインタフェースされる信号の種類さらには当該信号固有のタイミング情報と、マイクロプロセッサから供給される制御信号に基づいてチップ・セレクト信号CS、ライト・イネーブル信号WE、及びアウトプット・イネーブル信号OEを形成するための形成論理を指定する制御情報と、図示しないプロセッサが管理することになるアドレス空間のうち本実施例のメモリLSIに割り当てられてこれを指定する所定ビット数のアドレス情報とされる。尚、メモリLSIに結

合されるべきプロセッサの形式によって一義的に決定される情報、例えばプロセッサとインタフェースされる信号の種類、アドレス信号やデータなどを入出力するときにおける固有のタイミング情報、さらにはマイクロプロセッサから供給される制御信号に基づくアクセスタイミング発生回路23でのアクセス信号形成論理のための指定情報は、個々にマスクROM部24に格納しなくても、当該マイクロプロセッサの形式を示す識別コードのようなデータに代えることができる。このとき、インタフェースコントローラ25は当該識別コードのデコード情報に基づいて必要な制御情報を得ることができるように構成することができる。

上記制御情報が組み込まれるマスクROM部24は、本実施例のメモリLSIに電源が供給されると、これに呼応して各種制御情報をインタフェースコントローラ25に供給する。インタフェースコントローラ25はこの制御情報に基づいて入出力インタフェース回路21、アドレス比較回路22、及びアクセスタイミング発生回路23を夫

々制御する。

例えば、メモリLSIに結合される図示しないプロセッサが、メモリアクセス制御信号としてアドレス・ストローブ信号AS、データ・ストローブ信号DS、及びリード・ライト信号R/Wを出力すると共に、アドレス信号ADRの出力とデータDATAの入出力を同一端子を利用して順次時分割で行うものとされる場合、制御情報に基づいてインタフェースコントローラ25の制御を受ける入出力インタフェース回路21は、図示しないプロセッサから供給されるアドレス・ストローブ信号AS、データ・ストローブ信号DS、及びリード・ライト信号R/Wをアクセスタイミング発生回路23に供給する。更に、図示しないプロセッサから供給されるアドレス信号ADRをアドレス・ストローブ信号ASのアサートタイミングに同期して所定期間アドレス比較回路22、ローアドレスバッファ及びローアドレスラッチ7、及びカラムアドレスバッファ及びカラムアドレスラッチ11に供給すると共に、データ・ストローブ

信号DSのアサートタイミングに同期した所定期間、図示しないプロセッサから供給されるデータDATAをデータ入出力回路12に、又はデータ入出力回路12から出力されるデータDATAを図示しないプロセッサに供給可能に制御して、アドレス信号ADRとデータDATAのマルチプレクスイタフェース制御を行う。

このときアドレス比較回路22には、マスクROM部24に組み込まれているアドレス情報がインタフェースコントローラ25を介して供給されていて、このアドレス情報に一致する所定ビット数のアドレス情報を含むアドレス信号ADRが入出力インタフェース回路21から供給される場合、言い換えるなら、メモリLSIのアクセス動作が選択される場合には、選択信号SELがローレベルにアサートされる。

なお、上記アドレス・ストローブ信号ASは、特に制限されないが、図示しないプロセッサの出力するアドレス信号ADRが確定されるタイミングに同期してアサートされ、そのアサート期間は

1メモリサイクルに応じた期間とされる。上記データ・ストローブ信号DSは、特に制限されないが、プロセッサがデータDATAを取り込み可能な期間及びプロセッサが出力するデータDATAが確定される期間にアサートされる。上記リード・ライト信号R/Wはそのハイレベルにより図示しないプロセッサのリード動作を指示し、そのローレベルによりライト動作を指示する。

上記選択信号SEL信号、アドレス・ストローブ信号AS、データ・ストローブ信号DS、リード・ライト信号R/Wを受けるアクセスタイミング発生回路23は、インタフェースコントローラ25によって指示される信号形成論理に従い、選択信号SELがアサートされると、アドレス・ストローブ信号ASのアサート期間に同期してチップ・セレクト信号CSをローレベルにアサートする。データ・ストローブ信号DSがアサートされるとき、リード・ライト信号R/Wがローレベルにされている場合にはデータ・ストローブ信号DSのアサート期間に同期してライト・イネーブル

信号WEがローレベルにアサートされる。このときリード・ライト信号R/Wがハイレベルにされている場合にはアウトプット・イネーブル信号OEがローレベルにアサートされる。

次に上記制御情報がマスクROM部24に組み込まれて成るメモリLSIのシステム動作を説明する。

例えば図示しないプロセッサがメモリLSIをメモリ・ライト・アクセスする場合を第2図を中心に説明する。

図示しないプロセッサは、メモリLSIに含まれるSRAM部2をメモリ・ライト・アクセスする場合、リード・ライト信号R/Wをローレベルに制御すると共に、図示しないプロセッサが管理するアドレス空間におけるメモリセルアレイ3の目的セルのアドレス信号ADRを出力する。このアドレス信号ADRが供給される入出力インタフェース回路21は、アドレス・ストローブ信号ASのアサートに同期して当該アドレス信号ADRを内部に取り込む。内部に取り込まれたアドレス

信号ADRのうち所定の複数ビットはアドレス比較回路22に供給され、これが上記インタフェースコントローラ25を介してマスクROM部24の制御情報に基づいて初期設定されているアドレス情報に一致することが検出されると、選択信号SELがアサートされてアクセスタイミング発生回路23に供給される。

このアクセスタイミング発生回路23には図示しないプロセッサから出力される制御信号AS、DS、R/Wが夫々入出力インタフェース回路21を介して供給されている。アドレス・ストローブ信号ASがローレベルにアサートされ、且つ選択信号SELがハイレベルにアサートされると、アクセスタイミング発生回路23はチップ・セレクト信号CSをアサートする。これを受ける内部タイミングジェネレータ13はSRAM部2のローアドレスバッファ及びローアドレスラッチ7とカラムアドレスバッファ及びカラムアドレスラッチ11を夫々活性化してメモリセルのアドレスングに必要とされるアドレス信号をそれらに取り込

み制御してラッチさせる。アドレス信号がラッチされると、ローアドレスデコーダ6及びカラムアドレスデコーダ10による選択動作に従って当該アドレス信号に呼応するメモリセルが共通データ線対9に導通にされる。

続いて図示しないプロセッサが時分割でデータDATAを出力すると、アドレス信号とデータとのマルチプレクスインタフェース制御が行われる入出力インタフェース回路21を介して当該データDATAがデータ・ストローブ信号DSのアサートに同期して内部に取り込まれる。データ・ストローブ信号DSがアサートされると、これを受けるアクセスタイミング発生回路23はそのときのリード・ライト信号R/Wのローレベルによるライト動作の指示に従ってライト・イネーブル信号WEをアサートする。ライト・イネーブル信号WEがアサートされると、内部タイミングジェネレータ13はデータ入出力回路12にデータの書き込み動作を指示し、入出力インタフェース回路21を介して内部に取り込まれたデータDATA

をそのとき既にアドレッシングされているメモリセルに書き込み制御する。

当該メモリ・ライト・アクセス動作は、アドレス・ストローブ信号ASのネグート、さらにはこれに同期するチップ・セレクト信号CSのネグートに基づいて終了される。

図示しないプロセッサがメモリLSIをメモリ・リード・アクセスする場合、特に図示はしないが、プロセッサはリード・ライト信号R/Wをハイレベルに制御しておき、プロセッサが出力するアドレス信号ADRによるメモリセルのアドレッシング動作確定後にデータ・ストローブ信号DSがネグートされると、アクセスタイミング発生回路23はこれに同期したタイミングでアウトプット・イネーブル信号OEをアサートしてSRAM部2にメモリ・リード動作を指示し、これによって所定のメモリセルからデータ入出力回路12に読み出されたメモリセルデータはマルチプレクスインタフェース制御される入出力インタフェース回路21を介して図示しないプロセッサに与えられる。

上記実施例によれば以下の作用効果を得るものである。

(1) 外部と直接インタフェースを行う入出力インタフェース回路21は、複数個の外部端子EXTPを備えると共に、メモリLSIの内部に結合される複数個の内部端子INTPを有し、個々の外部端子EXTPと内部端子INTPとの接続態様はマスクROM部24に組み込まれる上記制御情報に従ったインタフェースコントローラ25の制御によって決定される。この制御情報には図示しないプロセッサに結合される外部端子EXTP及びその端子を介してインタフェースされる信号の種類さらには当該信号固有のタイミング情報に応ずるような情報が含まれている。したがって、メモリLSIに結合すべきマイクロプロセッサに応じた制御情報をマスクROM部に組み込んでおくことにより、メモリLSIをアクセスするためにプロセッサから出力される制御信号の数や種類、さらにはプロセッサにおけるアドレス信号やデータの入出力方式に拘らず所望のプロセッサを直接

メモリLSIに結合してインタフェースを採ることができる。

(2) 同一外部端子EXTPから供給されるアドレス信号ADR及びデータDATAをマルチプレクスして内部に取り込むためのマルチプレクサを入出力インタフェース回路21に組み込んでおいて、アドレス信号ADRとデータDATAとのマルチプレクスインタフェース制御を可能に構成すると、アドレス信号ADRとデータDATAとを分離するための外部回路が不要とされる。

(3) マスクROM部24に組み込まれる制御情報には、プロセッサが管理することになるアドレス空間のうちメモリLSIに割り当てられてこれを指定するためのアドレス情報が含まれ、このアドレス情報とプロセッサから供給されるアドレス信号ADRの所定ビットとの比較結果に基づいて選択信号を形成するアドレス比較回路22を内蔵することにより、プロセッサによるアクセス対象メモリLSIを選択するためのアドレスデコーダをメモリLSIの外部に設ける必要がなくなる。

(4) S R A M部2のためのアクセス制御信号即ちチップ・セレクト信号CS、ライト・イネーブル信号WE、及びアウトプット・イネーブル信号OEを形成するためのアクセスタイミング発生回路23を内蔵し、プロセッサから供給される制御信号に基づいてこれらアクセス制御信号を形成するための論理はマスクROM部24に組み込まれる制御情報に含まれていることにより、そのようなアクセス制御信号を形成するためのタイミング発生回路を外部回路として特別に設ける必要はない。

(5) 上記各作用効果より、各種構成のプロセッサと直接インタフェースすることができ、プロセッサとのインタフェースに必要とされる外部回路を削減することができる。これにより、TTL回路などで構成されるような外部インタフェース回路が削減される分だけシステムの小型化を図ることができると共に、システムの組み立て工程における各種デバイスの実装効率をも向上させることができる。

ス端子は外部端子に結合せずにパッド状態に留めておくことができる。EEPROMにする場合にはアクセス用外部端子が必要とされる。さらに制御情報の内容は上記実施例に限定されない。

入出力インタフェース回路はアドレス信号とデータとをマルチプレクスインタフェース可能な構成に限定されず、そのためのマルチプレクサを有しない構成にすることができる。

上記実施例ではS R A M部2を備えたメモリLSIについて説明したが、これをダイナミックRAMやROMの構成に変更することができる。例えばダイナミックRAM部を内蔵するメモリLSIとする場合には、上記実施例のアクセスタイミング発生回路23は所謂ダイナミックRAMコントローラもしくはその機能を有する類似の回路構成に変更される。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるメモリLSIに適用した場合について説明したが、本発明はそれに限定されるものではなく、プロセッ

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されずその要旨を逸脱しない範囲において種々変更することができる。

例えば、上記実施例では制御情報に基づいて入出力インタフェース回路21やアクセスタイミング発生回路23を制御するインタフェースコントローラ25を設けたが、このインタフェースコントローラ25に含まれるような制御論理を個々の入出力インタフェース回路21やアクセスタイミング発生回路23などに含めてもよい。

制御情報が組み込まれる制御記憶手段はマスクROMに限定されず、固定ROMとする場合にはヒューズ熔断形式のROMでもよく、また、書き換え可能なEPROM(イレーザブル・アンド・プログラマブルROM)やEEPROM(エレクトリカル・イレーザブル・アンド・プログラマブルROM)にしてもよい。EPROMにする場合、制御情報の書き込みをチップもしくはペレット状態で行うならば、当該EPROMのためのアクセ

サによってアクセスされる制御レジスタやデータレジスタを有する入出力回路やダイレクト・メモリ・アクセス・コントローラなどの各種周辺LSIにも適用することができる。本発明は少なくともプロセッサとインタフェースされてアクセスされるデータ格納手段を有する条件のものに適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、インタフェースされるべきプロセッサの種類やプロセッサと結合すべき状態などに応じた制御情報を組込可能な制御記憶手段を含み、その制御情報に従って内部とマイクロプロセッサとのインタフェースを行いながら内部アクセスタイミングの生成を行うインタフェース手段を内蔵することにより、外部回路としての特別なインタフェース回路を削減して殆ど直接的にプロセッサとインタフェースすることができるという効果が

ある。

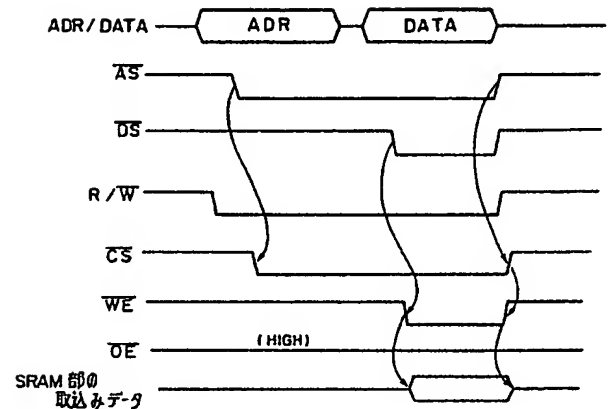
4. 図面の簡単な説明

第1図は本発明の一実施例であるメモリLSIのブロック図。

第2図はメモリLSIのライト・アクセス動作を説明するためのタイムチャートである。

1…半導体基板、2…SRAM部、3…メモリセルアレイ、13…内部タイミングジェネレータ、CS…チップ・セレクト信号、WE…ライト・イネーブル信号、OE…アウトプット・イネーブル信号、20…インタフェース手段、21…入出力インタフェース回路、EXTP…外部端子、INTP…内部端子、22…アドレス比較回路、23…アクセスタイミング発生回路、24…マスクROM部、25…インタフェースコントローラ、AS…アドレス・ストロープ信号、DS…データ・ストロープ信号、R/W…リード・ライト信号、ADR…アドレス信号、DATA…データ。

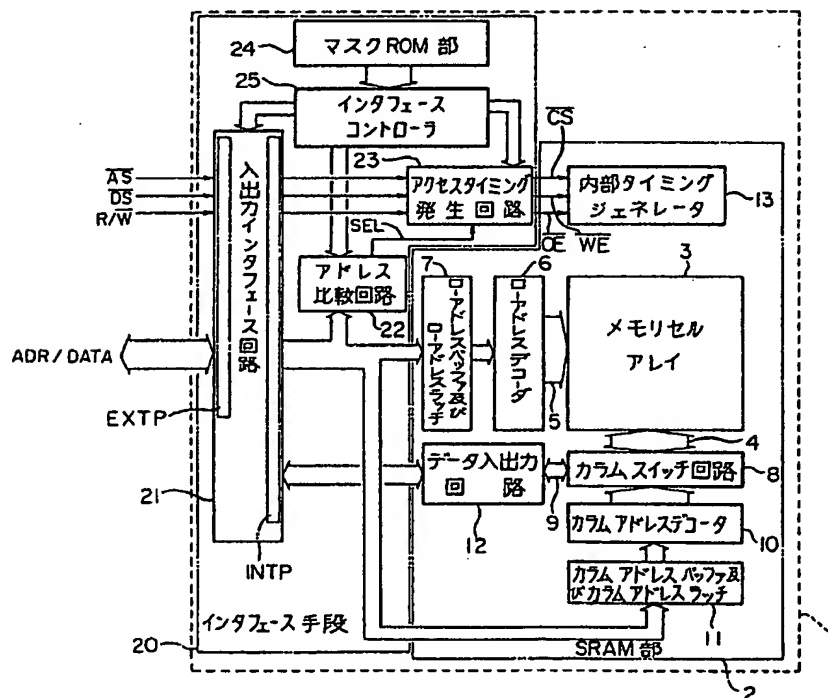
第2図



代理人 井理士 五 村 静 世



第1図



(19) ☒

(11) Publication number: 01163849 A

Generated Document.

Ref. 3

PATENT ABSTRACTS OF JAPAN

(21) Application number: 62323360

(51) Intl. Cl.: G06F 12/00 G11C 7/00

(22) Application date: 21.12.87

(30) Priority:

(43) Date of application publication: 28.06.89

(84) Designated contracting states:

(71) Applicant: HITACHI MICRO COMPUT ENG
LTD

(72) Inventor: NAKAGAWA TAKAAKI

(74) Representative:

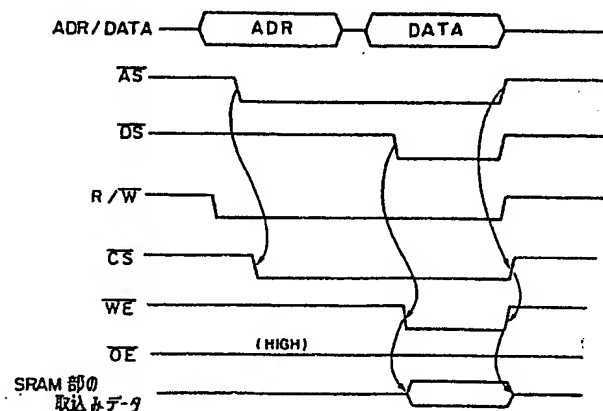
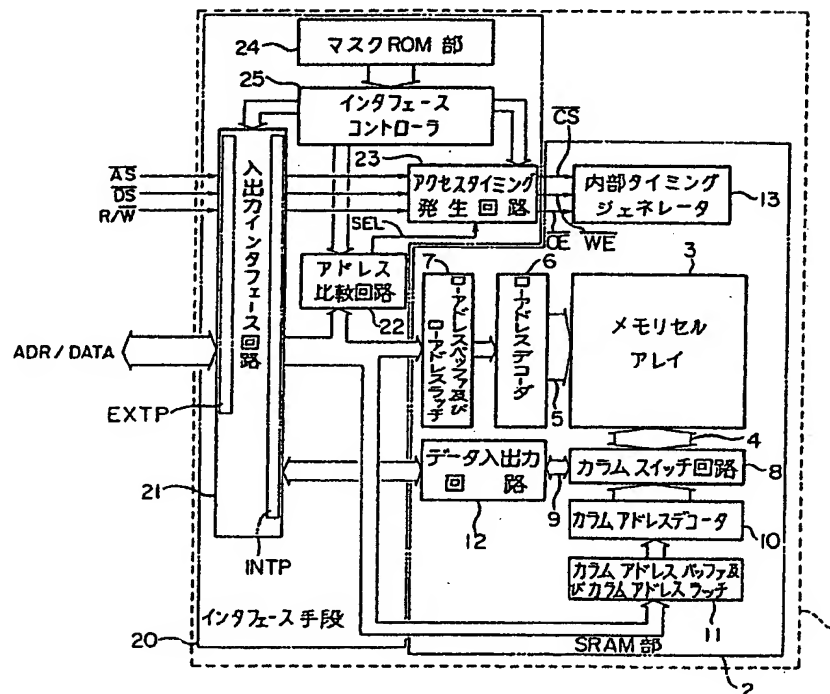
**(54) SEMICONDUCTOR
INTEGRATED CIRCUIT**

(57) Abstract:

PURPOSE: To curtail a special interface circuit as an external circuit by making an interface means built-in which generates an internal access timing while carrying out the interface between an internal part and a microprocessor according to control information.

CONSTITUTION: The control information corresponding to the types of a processor to be interfaced or the linking condition of the processor are set beforehand to a mask ROM 24. An interface means 20 directly linked to the microprocessor exchanges the information between the processor and a SRAM part 2 to be an internal data storing means, and generates the access timing based on the control information. Consequently, an external special access timing generating circuit is unnecessary to be provided, and further, when address information corresponding to a chip selecting condition is included in the control information, an external address decoder is unnecessary to be formed. Thus, the external circuit necessary for the interface between the processor can be curtailed.

**COPYRIGHT: (C)
1989,JPO&Japio**



Our Comment: The Examiner seems to think as follows. The mask ROM 24 corresponds to the register in present Claim 1. Access timing signals, which are generated based on the contents of the ROM 24, involve naturally time delay. It is explained that an EEPROM may be used in place of the mask ROM 24.